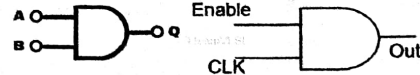


علم - قسم نظم الآلة مبرمجة - 38 علامة

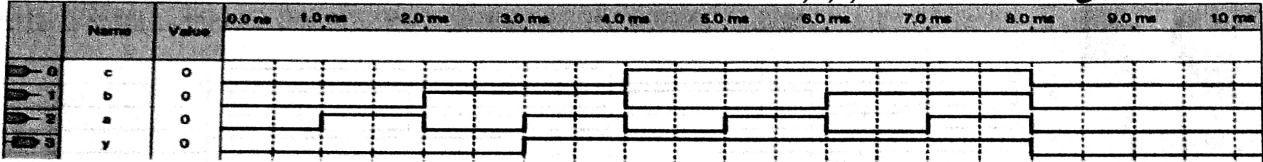
السؤال الأول: 10 درجة: (4 + 6)

- 1.1 بين وظيفة كل من الشرائح المتكاملة: 74HC283 = دائرة متكاملة FA، 74HC382 = ALU، 74HC151 = Mux، BCD 7seg=74HC42
- 1.2 بين الفرق بين النظم الرقمية المتزامنة والنظم الرقمية غير المتزامنة، ثم وضع ذلك من خلال الرسم المنطقي؟
 يمكن للأنظمة الرقمية أن تعمل إما بشكل غير متزامن أو بشكل متزامن.
 نظام غير متزامن - يمكن للمخرجات تغيير الحالة في أي وقت يتغير فيه الإدخال (المدخلات).
 النظام المتزامن - يمكن للإخراج تغيير الحالة فقط في وقت محدد في دورة الساعة.
 ويقبل الرسم التالي



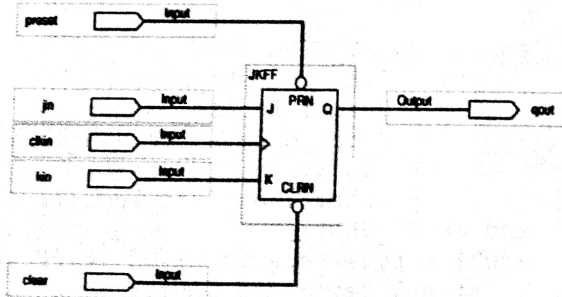
السؤال الثاني: 22 درجة (6+6+10)

- 1.2 من خلال المخطط الزمني التالي، اكتب برنامج VHDL يعبر عن إشارة الخرج المبينة على الشكل من اللحظة الزمنية 0ms إلى 8.0ms. للمداخل a, b, c, d



```
-- Equivalent using a case statement
process(c, b, a) is
sel=a&b&c
begin
    case Sel is
        when "000" =>
            y <= 0;
        when "001" =>
            y <= 0;
        when "010" =>
            y <= Sig3;

        when others => -- 'U', 'X', '-', etc.
            y <= (others => 'X');
    end case;
end process;
end architecture;
```



.2.2

```
entity JK_FF_VHDL is
port( J,K: in std_logic;
Reset: in std_logic;
Clock_enable: in std_logic;
Clock: in std_logic;
Output: out std_logic);
end JK_FF_VHDL;
architecture Behavioral of JK_FF_VHDL is
signal temp: std_logic;
begin
process (Clock)
begin
if rising_edge(Clock) then
if Reset='1' then
```

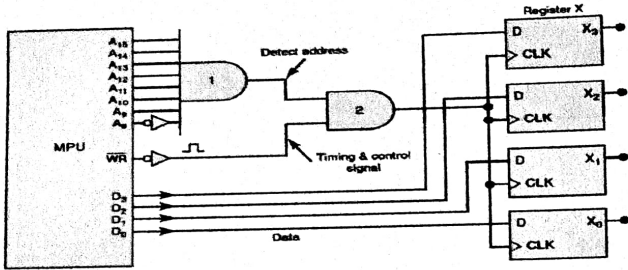
```

temp <= '0';
elsif Clock enable = '1' then
  if (J='0' and K='0') then
    temp <= temp;
  elsif (J='0' and K='1') then
    temp <= '0';
  elsif (J='1' and K='0') then
    temp <= '1';
  elsif (J='1' and K='1') then
    temp <= not (temp);
  end if;
end if;
end if;
end process;
Output <= temp;
end Behavioral;

```

3.2. من أجل الدارة المنطقية المبينة جانباً :

- 1- إكتب التوصيف بلغة RTL الذي يحقق النقل بين وحدة MPU و المسجل X.
- 2- حدد إشارة التحكم التي تسمح بعملية الكتابة على المسجل.
- 3- بفرض أن ال MPU لا يملك إلى 4 خطوط بيانات من D0 إلى D3 بين ماهو الإجراء والمكون الواجب إضافته للتعامل مع مسجل 8 بت.



الإشارة /WR
 2. يمكن من خلال قلابات او بوابات انجاز ذلك على خط البيانات d0-d3 ويترك للطالب الحل

السؤال الثالث: 6درجة

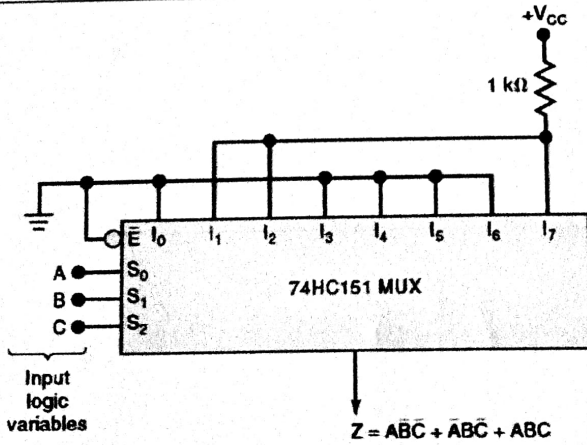
1.3. بفرض لدينا جدول الحقيقة المبين جانباً:

C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

1. بين تابع الخرج Z.

2. من خلال 74HC151 صمم الدارة الرقمية لجدول الحقيقة جانباً.

3. هل يمكن تمثيل التصميم من الطلب 2 باستخدام FPGA، وضح ذلك بما تراه مناسباً.



C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(a)

(b)

3. نعم يمكن التصميم من خلال كود VHDL أو من خلال Schematic design ويقبل الحل بالطريقتين.