جامعة البعث **كلية الهندسة الميكانيكية و الكهربائية**

سلم الدورة الثانية(حملة) لمقرر نظم آلات مبرمجة وروبوت لطلاب السنة الخامسة هندسة تحكم آلي و حواسيب

التاريخ 25/ 7/2024م **اسم الطالب:**

سلم - قسم نظم آلات مبرمجة – 38 طالب

السؤال الأول : 10درجة: (4 + 6)

1.1. بين وظيفة كل من الشرائح المتكاملة:74HC283 =دارة متكاملة FA، ALU=74HC382، Mux=74HC151، BCD 7seg=74HC42

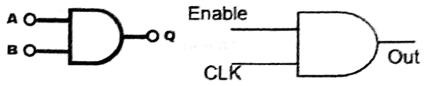
1.2. بين الفرق بين النظم الرقمية المتزامنة والنظم الرقمية غير المتزامنة، ثم وضح ذلك من خلال الرسم المنطقي؟

يمكن للأنظمة الرقمية أن تعمل إما بشكل غير متزامن أو بشكل متزامن.

نظام غير متزامن - يمكن للمخرجات تغيير الحالة في أي وقت يتغير فيه الإدخال (المدخلات).

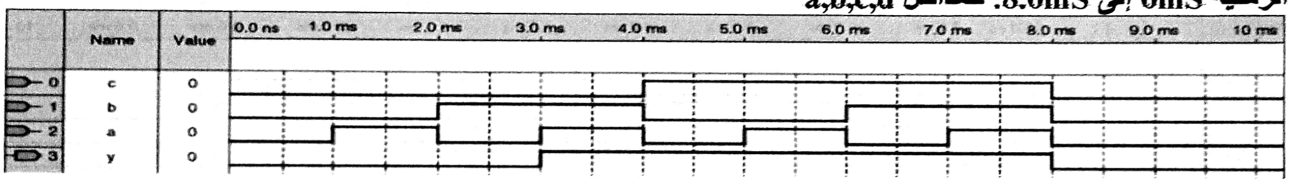
النظام المتزامن - يمكن للإخراج تغيير الحالة فقط في وقت محدد في دورة الساعة.

ويقبل الرسم التالي



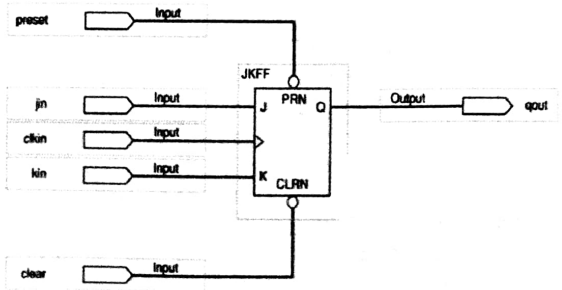
السؤال الثاني: 22درجة (6+ 6+ 10)

1.2. من خلال المخطط الزمني التالي، اكتب برنامج VHDL يعبر عن إشارة الخرج المبينة على الشكل من اللحظة الزمنية 0mS إلى 8.0mS. للمداخل a,b,c,d



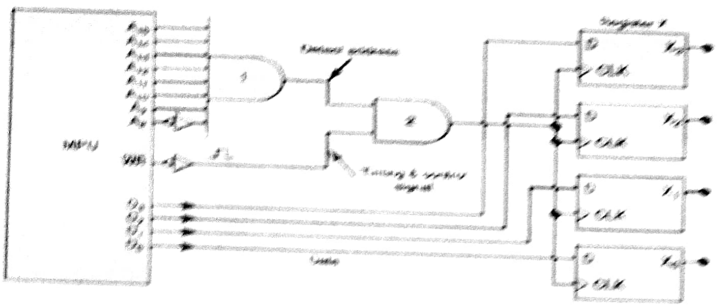

```
    -- Equivalent using a case statement
    process(c, b, a) is
sel=a&b&c
    begin
        case Sel is
            when "000" =>
                y <= 0;
            when "001" =>
                y <= 0;
            when "010" =>
                y <= Sig3;



            when others => -- 'U', 'X', '-', etc.
                y <= (others => 'X');
        end case;
    end process;
end architecture;
```

2.2.




```
entity JK_FF_VHDL is
   port( J,K: in  std_logic;
         Reset: in std_logic;
         Clock_enable: in std_logic;
         Clock: in std_logic;
         Output: out std_logic);
end JK_FF_VHDL;
architecture Behavioral of JK_FF_VHDL is
   signal temp: std_logic;
begin
   process (Clock)
   begin
      if rising_edge(Clock) then
         if Reset='1' then
```

```
        temp <= '0';
      elsif Clock_enable ='1' then
        if (J='0' and K='0') then
          temp <= temp;
        elsif (J='0' and K='1') then
          temp <= '0';
        elsif (J='1' and K='0') then
          temp <= '1';
        elsif (J='1' and K='1') then
          temp <= not (temp);
        end if;
      end if;
    end if;
  end process;
  Output <= temp;
end behavioral;
```



3.2. من أجل الدارة المنطقية المبينة جانباً :

1- إكتب التوصيف بلغة RTL الذي يحقق النقل بين وحدة MPU و المسجل X.

2- حدد إشارة التحكم التي تسمح بعملية الكتابة على المسجل.

3- بفرض أن ال MPU لا يملك إلى 4 خطوط بيانات من D0 إلى D3 بين ماهو الإجرا والمكون الواجب إضافته للتعامل مع مسجل 8 بت.

2. الإشارة WR/
3. يمكن من خلال قلابات او بوابات النجاز تلك على خط البيانات D0-D3 ويترك للطالب الحر

السؤال الثالث: 6درجة

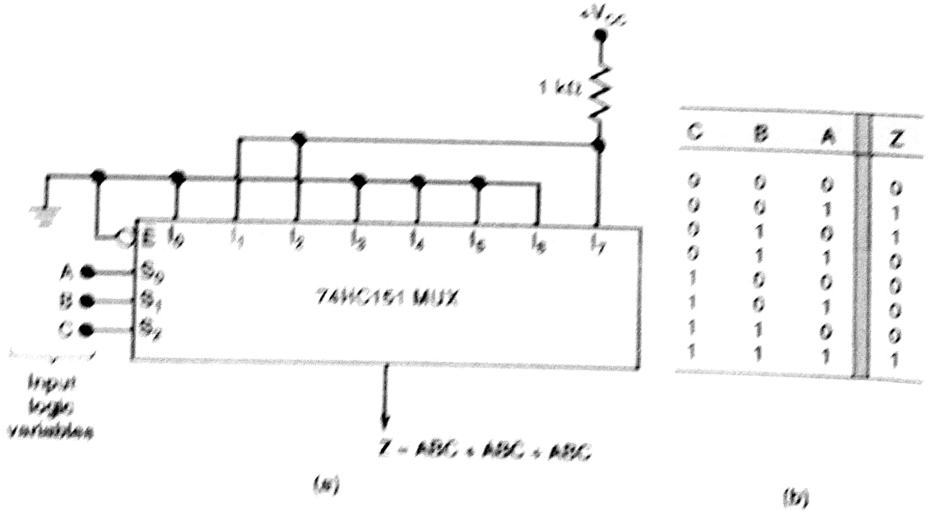
1.3. بفرض لدينا جدول الحقيقة المبين جانباً:

C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

1. بين تابع الخرج Z.

2. من خلال 74HC151 صمم الدارة الرقمية لجدول الحقيقة جانباً.

3. هل يمكن تمثيل التصميم من الطلب 2 باستخدام FPGA، وضح ذلك بما تراه مناسباً.



(a)

C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(b)

3. نعم يمكن التصميم من خلال كود VHDL أو من خلال Schematic design وبكل الحل بالسلم وتكون